

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-151814

(43)Date of publication of application : 31.05.1994

(51)Int.Cl.

H01L 29/00
G06F 15/60

(21)Application number : 04-252660

(71)Applicant : RICOH CO LTD

(22)Date of filing : 22.09.1992

(72)Inventor : AGARI HIDEKI

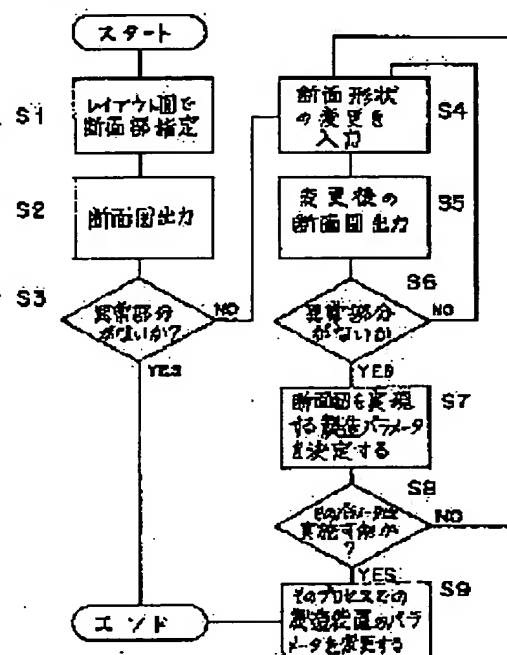
(54) DESIGN METHOD OF MANUFACTURING PROCESS OF SEMICONDUCTOR INTEGRATED CIRCUIT, DESIGN DEVICE FOR THE MANUFACTURING PROCESS AND CONTROLLER FOR SEMICONDUCTOR INTEGRATED-CIRCUIT MANUFACTURING

(57)Abstract:

PURPOSE: To provide the design method of the manufacturing process of a semiconductor integrated circuit capable of determining a manufacturing parameter in consideration of all manufacturing processes of the semiconductor integrated circuit, a design device for the manufacturing process of the semiconductor integrated circuit using the design method of the manufacturing process and a controller for a semiconductor integrated-circuit manufacturing device.

CONSTITUTION: A sectional-shape preparation process S2 preparing the sectional shape of a semiconductor integrated circuit on the basis of a manufacturing parameter required for manufacturing the semiconductor integrated circuit, correction processes S4, 5, 6 detecting the structural abnormal position of the semiconductor integrated circuit by the prepared sectional shape and correcting the structural abnormal position to normal structure, and correction manufacturing-parameter leading-out processes S7, 8

leading out a novel manufacturing parameter corresponding to normal structure so that the semiconductor integrated circuit manufactured has normal structure after correction are provided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-151814

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl.⁵

H01L 29/00

G06F 15/60

識別記号

庁内整理番号

FI

技術表示箇所

370 A 7922-5L

審査請求 未請求 請求項の数6(全8頁)

(21)出願番号 特願平4-252660

(22)出願日 平成4年(1992)9月22日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 上里 英樹

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

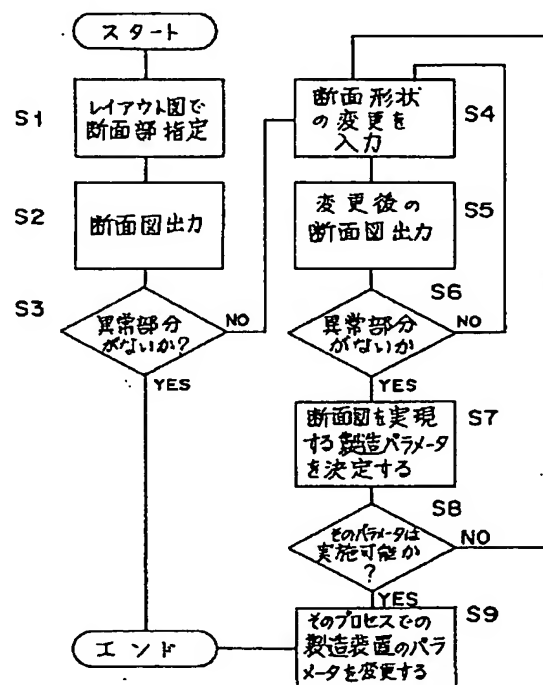
(74)代理人 弁理士 青山 葆 (外2名)

(54)【発明の名称】 半導体集積回路の製造プロセス設計方法、及び該製造プロセス設計装置、並びに半導体集積回路製造装置用制御装置

(57)【要約】

【目的】 半導体集積回路のすべての製造工程を考慮して製造パラメータの決定が行える半導体集積回路の製造プロセス設計方法、及び該製造プロセス設計方法を使用した半導体集積回路の製造プロセス設計装置、並びに半導体集積回路製造装置用制御装置を提供する。

【構成】 半導体集積回路の製造に必要な製造パラメータに基づき上記半導体集積回路の断面形状を作成する断面形状作成工程(S2)と、作成された上記断面形状にて上記半導体集積回路の構造異常箇所を検出し、該構造異常箇所を正常な構造に修正する修正工程(S4、5、6)と、製造される半導体集積回路が上記修正後の正常構造になるように、該正常構造に対応する新たな製造パラメータを導出する修正製造パラメータ導出工程(S7、8)と、を備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 半導体集積回路の製造に必要な製造パラメータ及びマスクデータに基づき上記半導体集積回路の断面形状を作成する断面形状作成工程と、作成された上記断面形状にて上記半導体集積回路の構造異常箇所を検出し、該構造異常箇所を正常な構造に修正する修正工程と、断面形状と該断面形状を形成するための製造パラメータとの関係に基づいて、製造される半導体集積回路が上記修正後の正常構造になるように該正常構造に対応する新たな製造パラメータを導出する修正製造パラメータ導出工程と、を備えたことを特徴とする半導体集積回路の製造プロセス設計方法。

【請求項2】 上記断面図作成工程は、製造される半導体集積回路の平面図を作成する平面図作成工程と、作成された平面図に基づき上記半導体集積回路の構造異常箇所が存在すると思われる箇所を指定する指定工程と、を備え、上記指定された箇所における半導体集積回路の断面図を半導体集積回路を製造する際に使用する製造パラメータに基づき作成する、請求項1記載の半導体集積回路の製造プロセス設計方法。

【請求項3】 上記修正製造パラメータ導出工程は、上記導出した修正製造パラメータにて半導体集積回路が実際に製造可能か否かを判断し、製造可能な場合には上記修正製造パラメータを半導体集積回路製造装置へ送出し、製造不可の場合には上記修正工程へ戻る、製造パラメータ適否判断工程を備えた、請求項1又は2記載の半導体集積回路の製造プロセス設計方法。

【請求項4】 半導体集積回路を製造する際に使用する製造パラメータと該製造パラメータにより製造される半導体集積回路の断面形状との関係を示すデータを記憶するデータ記憶手段と、上記データ記憶手段と情報交換することで、入力された製造パラメータ及びマスクデータに基づき上記半導体集積回路の断面形状を作成する断面形状作成手段と、作成された上記断面形状から検出される上記半導体集積回路の構造異常箇所を修正することで正常な構造へ変更する断面形状変更手段と、製造される半導体集積回路が上記修正後の正常構造になるように、上記データ記憶手段と情報交換することで修正後の断面形状に基づき新たな製造パラメータを導出する修正製造パラメータ導出手段と、を備えたことを特徴とする半導体集積回路の製造プロセス設計装置。

【請求項5】 上記修正製造パラメータ導出手段には、上記導出した修正製造パラメータにて半導体集積回路が実際に製造可能か否かを判断し、製造可能な場合には上記修正製造パラメータを半導体集積回路製造装置へ送出し、製造不可の場合には上記断面形状変更手段へ戻る旨の情報を送出する、製造パラメータ適否判断手段を備えた、請求項4記載の半導体集積回路の製造プロセス設計

装置。

【請求項6】 半導体集積回路の製造に必要な製造パラメータと該製造パラメータにより製造される半導体集積回路の断面形状との関係を示すデータを記憶するデータ記憶手段と、

上記データ記憶手段と情報交換することで、入力された製造パラメータ及びマスクデータに基づき上記半導体集積回路の断面形状を作成する断面形状作成手段と、作成された上記断面形状から検出される上記半導体集積回路の構造異常箇所を正常な構造へ上記断面形状を修正することで変更する断面形状変更手段と、

製造される半導体集積回路が上記修正後の正常構造になるように、上記データ記憶手段と情報交換することで修正後の断面形状に基づき新たな製造パラメータを導出する修正製造パラメータ導出手段と、

出力側が半導体集積回路製造装置に接続され入力側が上記修正製造パラメータ導出手段に接続され、上記修正製造パラメータ導出手段から供給される修正製造パラメータに基づき上記半導体集積回路製造装置の動作制御を行う製造装置制御手段と、を備えたことを特徴とする半導体集積回路製造装置用制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、製造前におけるすべての設計が終わり該設計に基づき製造された半導体集積回路について不具合点が検出された場合、この不具合点の原因となる不具合箇所についての再度の設計を行うための半導体集積回路の製造プロセス設計方法、及び該製造プロセス設計方法を使用した半導体集積回路製造装置用制御装置に関する。

【0002】

【従来の技術とその課題】半導体集積回路の設計工程の一つであるレイアウト設計において、例えば製造工程内のマスキング工程におけるマスクデータを作成するような、レイアウトエディタが存在する。このレイアウトエディタは、ワークステーション等のコンピュータを使用し2次元の平面図を作図するものである。又、半導体集積回路の製造プロセス設計において、製造工程内の例えば写真製版、エッチング、デポジション等に関するシミュレーションを行うものとして形状シミュレータ(プロセスシミュレータと呼ばれる場合もある)が存在する。このシミュレータは、例えば写真製版等に要する条件パラメータを入力することで、写真製版等が行なわれる半導体集積回路内の箇所の断面構造を出力するものである。

【0003】上記形状シミュレータは、半導体集積回路内のある箇所における断面構造をシミュレーションするため設計者により入力される製造パラメータが製造上実際に使用可能な値か否かを判断し、使用可能である場合には上記製造パラメータに基づき半導体集積回路の断面

構造をシミュレーションする。そして該シミュレーションにより例えば表示画面上に描かれる断面図を設計者が検査し断面形状に異常を認める場合には、設計者はその異常箇所が修正されるような製造パラメータを選択し、選択した修正製造パラメータを入力する。そして再度、形状シミュレータは、入力された修正製造パラメータが使用可能なものか否かを判断した後、使用可能であれば上記修正製造パラメータにより半導体集積回路の断面構造をシミュレーションし、再度表示画面等に表示し設計者は再度断面図を検査する。

【0004】このように、半導体集積回路の構造の異常を検出するため、形状シミュレータを使用する場合、従来、異常を検出した箇所のみを修正するように製造パラメータを選択していた。よって、選択した製造パラメータは、あくまで形状シミュレータにてシミュレートされた断面構造の異常箇所の修正に適した値であり、即ち異常構造が生じた製造工程に関係する製造パラメータを修正したに過ぎず、他の製造工程において上記選択した製造パラメータが適切な値か否かは不明であった。換言すると従来、製造パラメータはすべての製造工程を踏まえて決定されていないという問題点があった。尚、製造パラメータとは、半導体集積回路製造装置に供給されるデータであり半導体集積回路の製造に要するデータをいい、例えばエッチング工程にあってはエッチングレート、時間、雰囲気温度等のデータであり、デポジション工程にあってはデポジションレート、時間、温度、ガス種、ガス圧力等のデータをいう。

【0005】本発明はこのような問題点を解決するためになされたもので、半導体集積回路のすべての製造工程を考慮して製造パラメータの決定が行える半導体集積回路の製造プロセス設計方法、及び該製造プロセス設計方法を使用した半導体集積回路の製造プロセス設計装置、さらに得られた製造パラメータにて半導体集積回路の製造を制御する半導体集積回路製造装置用制御装置を提供することを目的とする。

【0006】

【課題を解決するための手段とその作用】本発明の製造プロセス設計方法は、半導体集積回路の製造に必要な製造パラメータ及びマスクデータに基づき上記半導体集積回路の断面形状を作成する断面形状作成工程と、作成された上記断面形状にて上記半導体集積回路の構造異常箇所を検出し、該構造異常箇所を正常な構造に修正する修正工程と、断面形状と該断面形状を形成するための製造パラメータとの関係に基づいて、製造される半導体集積回路が上記修正後の正常構造になるように該正常構造に対応する新たな製造パラメータを導出する修正製造パラメータ導出工程と、を備えたことを特徴とする。

【0007】製造された半導体集積回路において、不具合点が検出されたとき、修正製造パラメータ導出工程は、断面形状と該断面形状を形成するための製造パラメ

ータとの関係に基づいて、製造される半導体集積回路が上記修正後の正常構造になるように該正常構造に対応する新たな製造パラメータを導出するので、導出される製造パラメータは不具合点を修正するための製造工程に関するものだけではなく、半導体集積回路のすべての製造工程を考慮するように作用する。

【0008】さらに、上記断面図作成工程は、製造される半導体集積回路の平面図を作成する平面図作成工程と、作成された平面図に基づき上記半導体集積回路の構造異常箇所が存在すると思われる箇所を指定する指定工程と、を備え、上記指定された箇所における半導体集積回路の断面図を半導体集積回路を製造する際に使用する製造パラメータに基づき作成するようにしても良い。

【0009】さらに、上記修正製造パラメータ導出工程は、上記導出した修正製造パラメータにて半導体集積回路が実際に製造可能か否かを判断し、製造可能な場合には上記修正製造パラメータを半導体集積回路製造装置へ送出し、製造不可の場合には上記修正工程へ戻る、製造パラメータ適否判断工程を備えるようにしても良い。

【0010】又、本発明の製造プロセス設計装置は、半導体集積回路を製造する際に使用する製造パラメータと該製造パラメータにより製造される半導体集積回路の断面形状との関係を示すデータを記憶するデータ記憶手段と、上記データ記憶手段と情報交換することで、入力された製造パラメータ及びマスクデータに基づき上記半導体集積回路の断面形状を作成する断面形状作成手段と、作成された上記断面形状から検出される上記半導体集積回路の構造異常箇所を上記断面形状を修正することで正常な構造へ変更する断面形状変更手段と、製造される半導体集積回路が上記修正後の正常構造になるように、上記データ記憶手段と情報交換することで修正後の断面形状に基づき新たな製造パラメータを導出する修正製造パラメータ導出手段と、を備えたことを特徴とする。

【0011】データ記憶手段は、断面形状と該断面形状を有する半導体集積回路を製造するための製造パラメータとの関係を示すデータを記憶する。よって、製造された半導体集積回路の構造に不具合点が検出された場合、上記不具合点を解消した断面形状を作成すれば、上記データ記憶手段と情報交換することで、不具合点を解消した断面形状を有する半導体集積回路を製造するための製造パラメータを得ることができる。このように、データ記憶手段、断面形状変更手段、修正製造パラメータ導出手段等は、得られる製造パラメータが不具合点を修正するための製造工程に関するものだけではなく、半導体集積回路のすべての製造工程を考慮したものであるように作用する。

【0012】又、本発明の半導体集積回路製造装置用制御装置は、半導体集積回路の製造に必要な製造パラメータと該製造パラメータにより製造される半導体集積回路の断面形状との関係を示すデータを記憶するデータ記憶

手段と、上記データ記憶手段と情報交換することで、入力された製造パラメータ及びマスクデータに基づき上記半導体集積回路の断面形状を作成する断面形状作成手段と、作成された上記断面形状から検出される上記半導体集積回路の構造異常箇所を正常な構造へ上記断面形状を修正することで変更する断面形状変更手段と、製造される半導体集積回路が上記修正後の正常構造になるように、上記データ記憶手段と情報交換することで修正後の断面形状に基づき新たな製造パラメータを導出する修正製造パラメータ導出手段と、出力側が半導体集積回路製造装置に接続され入力側が上記修正製造パラメータ導出手段に接続され、上記修正製造パラメータ導出手段から供給される修正製造パラメータに基づき上記半導体集積回路製造装置の動作制御を行う製造装置用制御手段と、を備えたことを特徴とする。

【0013】製造装置用制御装置は、不具合点を解消した断面形状を有する半導体集積回路を製造するのに必要な製造パラメータが供給され、該製造パラメータを半導体集積回路製造装置へ送出する。よって半導体集積回路製造装置は、不具合点を解消した半導体集積回路を製造するように作用する。

【0014】

【実施例】本発明の半導体集積回路の製造プロセス設計方法の一実施例について図1を参照し以下に説明する。本実施例における製造プロセス設計方法は、ある設計に基づき製造された半導体集積回路について不具合点が検出された場合、この不具合点の原因となる不具合箇所についての再度の設計を行うための製造プロセス設計方法であり、上述したような従来から存在するレイアウトエディタと形状シミュレータとを使用し、以下に説明する各工程を行う。尚、レイアウトエディタ及び形状シミュレータが有する動作説明については公知のことであるので省略する。

【0015】ステップ(図内ではSにて示す)1において、上記不具合箇所が存在すると思われる箇所について、設計者は、まずレイアウトエディタを使用し例えば図3の(a)に示すような平面図を表示し、該平面図において断面図を表示画面に可視的に表示したい箇所についてマウス等を使用し、図3の(a)に示すA-A'のように、その位置の指定を行う。

【0016】ステップ2において、上記形状シミュレータが動作し、ステップ1にて指定した位置における半導体集積回路の断面を表示画面に表示される。尚、上記A-A'部分における断面図を図3の(b)に示す。

【0017】次に、ステップ3において、設計者は表示画面に表示された図3の(b)に示すような断面図を検証し、断面形状に異常箇所がないか否かを判断する。断面形状に異常がない場合には、半導体集積回路のこの箇所における操作は終了し、上記不具合箇所の候補として挙げられる次の箇所についてステップ1, 2の操作を行

う。一方、断面形状に異常が検出された場合にはステップ4に進む。

【0018】ステップ4において、設計者は上記異常箇所を含む断面図において上記異常箇所の形状を変更する。具体的に説明すると、図3の(b)に示す断面図において、図3の(a)に示すコンタクトホール16に対応する箇所である“B”部分のメタル18に細りが見られる。よって設計者はメタル18の細りを異常と判断した場合、まず変更するレイヤー、この場合には例えばポリシリコン15を選択し、入力装置を使用してポリシリコン15の形状を表示画面上にて作図又は寸法入力することで変更する。具体的には、図3の(b)と図3の(c)とを比べると明らかなようにポリシリコン15の両肩部15aの角を削るように形状を変更する。このように形状の変更が終わった後、上記形状シミュレータは新たな形状に従い再度断面図を作成する。

【0019】尚、メタル18の細りを修正する方法は上述したポリシリコンの形状を変える方法に限らず、例えばメタルのデポジション膜厚を厚くする、ポリシリコン-メタル層間膜を薄くする、層間膜の形状を変える、ポリシリコンの膜厚を薄くする等の方法が考えられる。しかし、例えばメタルのデポジション厚を厚くした場合、さらに2層目のメタル断線が発生する可能性があるので、上述したポリシリコンの形状を変える方法を選択した。

【0020】ステップ5にて、設計者は変更後の断面図を表示画面に表示し、ステップ6にて設計者は再度断面図に異常箇所がないか確認する。異常箇所が確認された場合には、ステップ4に戻り再度設計を行う。一方、設計変更により図3の(c)に示すような断面形状となり上記メタル18の細りが改善されており、又、この再設計によりメタル18以外の構成部分に異常が生じていないと設計者が判断したときには次のステップ7に進む。

【0021】ステップ7では、設計者によって異常箇所のないことが確認された断面図にて半導体集積回路を実際製造する場合に必要な製造パラメータが予備決定される。即ち、予め種々の断面形状と、該断面形状を実現するための製造パラメータ等とが対応した情報を有するデータベースにアクセスすることで、上記異常箇所のない断面図に示される半導体集積回路を実現するための製造パラメータが予備決定される。

【0022】ステップ8では、ステップ7にて予備決定された上記製造パラメータにて半導体集積回路が製造可能か否かが判断され、製造不可能であるときにはステップ4へ戻り再度断面形状の変更を行い、一方実施可能であるときには次のステップ9へ進む。

【0023】ステップ9では、当該演算処理及び制御装置に接続される公知の半導体集積回路製造装置へ上記製造パラメータを送出し、一連の動作を終了する。

【0024】このように、公知のレイアウトエディタ装

置及び形状シミュレータと連動させ、さらに画面表示される半導体集積回路における指定断面箇所に表示される任意のレイヤーに含まれる構成部分の形状を変更した場合、上述したステップ7、8にて説明したように、変更された形状に基づき全工程における製造パラメータを選択し選択した製造パラメータにて半導体集積回路が製造可能か否かが判断されることから、製造パラメータはすべての製造工程を踏まえて決定されることになる。又、上記シミュレーションにて半導体集積回路に異常が確認されないときには、決定された製造パラメータに基づき公知の半導体集積回路製造装置を制御し欠陥のない半導体集積回路を作成することができる。

【0025】尚、上記説明では、半導体集積回路における平面図を得るためにレイアウトエディタを使用した。レイアウトエディタ自体は必須のものではなく、上記平面図に関する情報を得られるものであれば良い。

【0026】次に上述した製造プロセス設計方法を使用する製造プロセス設計装置、及び半導体集積回路製造装置と接続することで半導体集積回路製造装置を制御する半導体集積回路製造装置用制御装置について図2を参照し説明する。公知のレイアウトエディタ8の出力側は断面形状作成装置1に接続され、断面形状作成装置1の出力側は表示装置10に接続される。断面形状作成装置1は上記ステップ2にて説明したように、レイアウトエディタ8を使用することで画面表示される半導体集積回路の平面図にて指定された箇所の断面形状を作成する装置であり、上記断面形状を作成するのに必要なデータをも記憶しているデータ記憶装置6と接続され、データ記憶装置6から必要な情報を読み出すことで上記断面形状を作成する。又、断面形状作成装置1の出力側は断面形状変更装置2に接続される。

【0027】断面形状変更装置2の入力側には例えばキーボード、マウス等の入力装置7が接続され、断面形状変更装置2の出力側は表示装置10に接続される。このような断面形状変更装置2は、上記ステップ4にて説明したように、断面形状作成装置1にて作成された断面図における異常構造箇所を設計者が入力装置7を使用し正常な構造に表示装置10に備わる表示画面上で変更したとき、該変更に応じて上記異常構造箇所のみならず上記変更に伴い変化する他の構造箇所についても変更する動作を行う。尚、変更後の断面形状は表示画面に表示される。又、断面形状変更装置2の出力側は製造パラメータ導出装置3に接続され、又、製造パラメータ導出装置3は任意の断面形状と該断面形状に係る製造パラメータとを関連付けるデータをも記憶するデータ記憶装置6と接続される。

【0028】このような製造パラメータ導出装置3は、断面形状変更装置2から供給される断面図に基づき、データ記憶装置6と情報交換することで、上記断面図に示される構造を有する半導体集積回路を製造するために要

する製造パラメータをまず予備決定する。さらに製造パラメータ導出装置3は、予備決定された製造パラメータにて半導体集積回路が実際に製造できるのか否かを判断し、製造可能と判断したときには製造パラメータを本決定する。一方、予備決定された製造パラメータでは製造不可と判断されたときには、その旨を例えば表示画面に表示することで設計者に知らせ、これにより設計者は断面形状変更装置2にて再度断面形状を変更する。そして変更された断面形状にて再度、製造パラメータが決定され、再度製造パラメータ導出装置3は該製造パラメータにて製造可能か否かを判断する。製造パラメータ導出装置3の出力側は製造装置用制御装置4に接続される。

【0029】製造装置用制御装置4は、その出力側が半導体集積回路を製造するための各種工程を処理する種々の装置(これらを総称し、以下、半導体集積回路製造装置と記す)9に接続され、半導体集積回路製造装置9に必要な製造パラメータを、上記本決定した製造パラメータから選別し半導体集積回路製造装置9へ送出する。又、製造装置用制御装置4はデータ記憶装置6と接続され、導出した製造パラメータを実際に製造装置に送出するために必要なデータをデータ記憶装置6から読み出す。

【0030】又、断面形状作成装置1、断面形状変更装置2、製造パラメータ導出装置3、及び製造装置用制御装置4のそれぞれは、これらの装置間におけるデータの転送等を制御する制御装置5に接続されている。

【0031】尚、上述した断面形状作成装置1、断面形状変更装置2、製造パラメータ導出装置3、制御装置5、データ記憶装置6、入力装置7、レイアウトエディタ8、表示装置10にて、製造プロセス設計装置を構成するものであり、これらに製造装置用制御装置4を付加することで半導体集積回路製造装置用制御装置を構成するものである。

【0032】尚、上記説明では、半導体集積回路における平面図を得るためにレイアウトエディタ8を使用しているが、レイアウトエディタ自体は必須のものではなく、上記平面図に関する情報を得られるものであれば良い。

【0033】このように構成される製造プロセス設計装置、半導体集積回路製造装置用制御装置の動作を説明する。レイアウトエディタ8が送出する半導体集積回路の平面図にて、断面形状作成装置1は上記平面図にて設計者が指定した箇所における断面図を作成し表示装置10の表示画面上に可視的に表示する。

【0034】表示された断面図を設計者が検証し、構造上の欠陥を検出したとき、設計者は上記表示画面上にて上記欠陥が無くなるように断面図を修正する。断面形状変更装置2は、設計者の修正動作に従い新たな元の断面図を変更し、変更後の断面図を上記表示装置10へ可視的に表示する。

【0035】製造パラメータ導出装置3は、変更後の断面図に示される構造を有する半導体集積回路を製造するために必要な製造パラメータをデータ記憶装置6と情報交換することで予備決定し、さらに本決定する。

【0036】このように決定された製造パラメータは、半導体集積回路製造装置9を構成する各製造装置に必要な製造パラメータが製造装置用制御装置4にて選別され、製造装置用制御装置4からそれぞれ上記製造装置へ送出される。

【0037】このように、本実施例の製造プロセス設計装置によれば、製造した半導体集積回路に構造上の不具合点が検出された場合、上記構造上の不具合点を解消するように上記半導体集積回路の断面図を修正することで、修正された断面図に示される構造に基づき修正した箇所を含む半導体集積回路全体の構造を実現するように半導体集積回路を製造可能のように製造パラメータが決定されることから、単に不具合点のみを解消するように製造パラメータを決定していた従来に比べ、すべての製造工程を踏まえて製造パラメータを決定することができる。

【0038】又、製造された半導体集積回路に不具合点が検出されたとき、その不具合点を解消すべく半導体集積回路の構造を断面図上で修正するだけで、データ記憶装置に記憶されている、ある断面構造と該断面構造を形成する製造パラメータとの関係を示すデータを製造パラメータ導出装置が読み出すことで、修正後の構造を有し上記不具合点が解消された構造を有する半導体集積回路を製造するのに必要な製造パラメータを得ることができる。即ち、従来のように、上記不具合点が解消されるであろう製造パラメータを選択しこれを形状シミュレータに入力することで断面構造を作成し、この断面図の適否を判断し、不適であれば、再度好ましい製造パラメータを選択し、再度断面図を作成し適否を判断するという試行錯誤の設計操作に比べ、本実施例によれば不具合点が解消されるように単に断面図を修正するだけで上記不具合点が解消された構造を形成するための製造パラメータが得られるので、設計操作は格段に容易となり、設計時間を大幅に短縮することができる。

【0039】又、本製造プロセス設計装置を半導体集積回路製造装置と接続することで、不具合点が解消された半導体集積回路を直ちに製造することができる。

【0040】

【発明の効果】以上詳述したように本発明の製造プロセス設計方法及び製造プロセス設計装置によれば、製造した半導体集積回路に構造上の不具合点が検出された場合、上記構造上の不具合点を解消するように上記半導体集積回路の断面図を修正することで、修正された断面図に示される構造に基づき修正した箇所を含む半導体集積回路全体の構造を実現するように半導体集積回路を製造可能のように製造パラメータが決定されることから、単に不具合点のみを解消するように製造パラメータを決定していた従来に比べ、すべての製造工程を踏まえて製造パラメータを決定することができる。

【0041】又、上記不具合点が検出された場合、設計者は上記不具合点が解消されるように上記断面図を修正するだけで、すべての製造工程を踏まえた製造パラメータが得られることから、上記不具合点を解消すべく試行錯誤により設計者が製造パラメータを選択していた従来に比べ、上記不具合点を解消する適切な製造パラメータを直ちに得ることができ設計時間を大幅に短縮することができる。

【0042】又、本発明の半導体集積回路製造装置用制御装置によれば、上記不具合点が検出された場合、設計者は上記不具合点が解消されるように上記断面図を修正するだけですべての製造工程を踏まえた製造パラメータが得られ、該製造パラメータが半導体集積回路の製造装置へ送出されることから、上記不具合点を解消した半導体集積回路を容易に製造することができる。

【図面の簡単な説明】

【図1】 本発明の半導体集積回路の製造プロセス設計方法の各工程を示すフローチャートである。

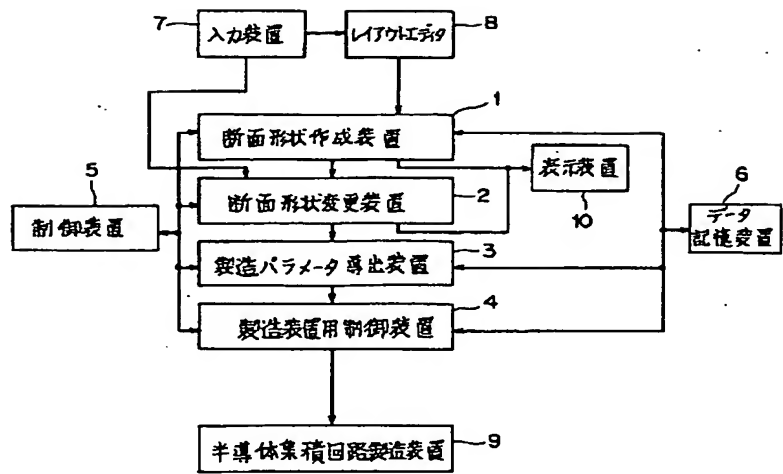
【図2】 本発明の半導体集積回路の製造プロセス設計方法を実行する製造プロセス設計装置、並びに半導体集積回路製造装置用制御装置の構成を示すブロック図である。

【図3】 (a) ないし (b) は、ともに本発明の製造プロセス設計装置における動作を説明するための半導体集積回路の断面図である。

【符号の説明】

1…断面形状作成装置、2…断面形状変更装置、3…製造パラメータ導出装置、4…製造装置用制御装置、5…制御装置、6…データ記憶装置、7…入力装置、8…レイアウトエディタ、9…半導体集積回路製造装置。

【図2】



(a)

15. ポリシリコン

16. コンタクトホール

17. 拡散層

(b)

20. 層間膜

18. メタル

19. BPSG 膜

15a 15 15a

(c)

【手続補正書】

【提出日】平成 5 年 1 2 月 1 5 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図 3

【補正方法】変更

【補正内容】

【図 3】 (a) ないし (c) は、ともに本発明の製造プロセス設計装置における動作を説明するための半導体集積回路の断面図である。